

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02264432 A**

(43) Date of publication of application: **29 . 10 . 90**

(51) Int. Cl

H01L 21/3205

(21) Application number: **01086004**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(22) Date of filing: **04 . 04 . 89**

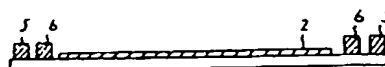
(72) Inventor: **OKIHARA YOSHIHIKO**

(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To reduce the parasitic resistance value without increasing the area of the power supply wiring part for preventing the erroneous operation due to noise from occurring by a method wherein the thickness of the metallic wirings of a power supply wiring part is made larger than that of the metallic wiring of the other wiring part.

CONSTITUTION: The metallic wirings of VCC wiring 5 and GND wiring 6 are made thicker than the metallic wiring of a memory cell array part 2. Since the parasitic resistance of the metallic wirings is inverse proportional to the thickness of the metallic wirings, the parasitic resistance value thereof can be reduced without increasing the area of the power supply wiring part.



COPYRIGHT: (C)1990,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-264432

⑬ Int. Cl.³
H 01 L 21/3205

識別記号 庁内整理番号

⑭ 公開 平成2年(1990)10月29日

6810-5F H 01 L 21/88
6810-5F

A
Z

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-86004

⑰ 出 願 平1(1989)4月4日

⑱ 発 明 者 沖 原 好 彦 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

金属配線が一層から成る半導体装置において、電源配線部の金属配線の厚さを、その他の回路部の金属配線の厚さよりも厚くしたことを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、半導体装置における金属配線の構造に関するものである。

〔従来の技術〕

第3図は従来の半導体メモリ装置のチップの概略を示す平面図である。図において、(1)はICチップ、(2)はメモリ^{セル}アレイ、(3)は外部より電源Vccが供給されるVccパッドであり、ここよりVcc側周辺回路(7)、GND側周辺回路(8)及びメモリアレイ(2)に、金属配線を用いて電源Vccが供給される。このとき、GND側周辺回路(8)への電源V

ccの供給は、長いVcc配線(5)を介して行われる。

(4)は外部より接地電位GNDが供給されるGNDパッドであり、ここよりVcc側周辺回路(7)、GND側周辺回路(8)及びメモリアレイ(2)に、金属配線を用いて接地電位GNDが供給される。この時、Vcc側周辺回路(7)への接地電位GNDの供給は、長いGND配線(6)を介して行われる。

〔発明が解決しようとする課題〕

従来の半導体メモリ装置は以上のように構成されているので、近年、メモリ容量の増加に伴ない、チップサイズが増大してくるにつれて、Vcc配線(5)及びGND配線(6)における金属配線の寄生抵抗が無視できなくなってきた。すなわちVcc側周辺回路(7)においてGNDが浮き上がったたり、逆にGND側周辺回路(8)においてVccに振返が生じたりして、強いては、これがノイズ不良の原因になるという問題点が生じてきた。

第4図は上記のノイズ不良が発生するメカニズムを説明する反転回路とGND配線を示す回路図、第5図は第4図の各部の波形を示すタイミングチ

ャートである。図において、(9)、(10)は V_{cc} 側周辺回路(7)に含まれる反転回路である。第5図(a)に示したように反転回路(10)に入力される信号Aが'L'から'H'に変化すると、反転回路(10)のNchトランジスタを通じて充放電電流IがQNDに流れ込む。このとき、QNDパッド(4)の電位QND1は第5図(a)に示すように安定しているが、 V_{cc} 側周辺回路(7)の接地電位QND2は、QND配線(6)の寄生抵抗Rのため充分速く電流を流し切れず、第5図(b)に示すように一時的に浮き上がってしまう。そのためその他の反転回路(9)に入力される信号Bは、相対的にみれば、第5図(a)に示すようにノイズが入ったような状態となる。これが誤動作の原因となる。

この発明は上記のような問題点を解消するためになされたもので、電源配線部の面積を増大させることなく、その寄生抵抗値を減少させることにより、チップサイズがより小さく、ノイズによる誤動作の起こりにくい半導体装置を得ることを目的とする。

抵抗値Rが減少すれば、第4図の例の場合でも、第5図(a)に示すように V_{cc} 側周辺回路(7)の接地電位QND2の一時的な浮き上がりも低減でき、反転回路(9)に入力する信号Bにも、第5図(c)に示すようにさほど大きなノイズとなつて現われないので、誤動作に至る可能性は低くなる。

第2図(a)～(d)は上記実施例のような金属配線の構造を容易に得るための製造方法の工程を示す半導体メモリ装置の断面図である。図において(11)は基板、(12)は層間膜、(13)は金属配線材料、(14)は1回目レジスト、(15)は2回目レジストである。まず最初に第2図(a)のように層間膜(12)の上の全面に厚く金属配線材料(13)を塗布する。次に、第2図(b)のように電源配線部だけに1回目レジスト(14)を被せ、全体を異方性エッチングする。次に、第2図(c)のように、金属配線のパターンすべてに2回目レジスト(15)を被せ、再度異方性エッチングする。以上のような製造方法により、第2図(d)のように、第1図に示すような金属配線の構造を容易に得ることができる。

(課題を解決するための手段および作用)

この発明に係る半導体装置は、電源配線部の金属配線の厚さを他の回路部の金属配線の厚さより厚くすることにより、電源配線部の面積を増大させることなく、その寄生抵抗値を減少させたものである。

(実施例)

第1図はこの発明の一実施例を示す半導体メモリ装置の断面図である。第1図の断面図に相当する半導体装置の平面図は第3図の従来例と同じであるので省略するが、第1図は第3図に示すX-Xにおける断面を示す。図において(2)、(5)、(6)は第3図の従来例に示したものと同等であるので説明を省略する。 V_{cc} 配線(5)及びQND配線(6)の金属配線は、メモリセルアレイ(2)部の金属配線よりも厚い。

次に動作について説明する、金属配線の寄生抵抗値Rは、その厚さに反比例するので、これにより、電源配線部の面積を増大させることなく、その寄生抵抗値Rを減少可能である。電源配線の寄生

なお、上記実施例では、MOS半導体メモリ装置について示したが、これに限らずすべての半導体装置で適用可能であり、上記実施例と同様の効果を奏する。

また、上記実施例では、金属配線を厚くすべき電源配線部として V_{cc} 配線及びQND配線を取り上げたが、その他すべての電源配線部に適用可能であり、上記実施例と同様の効果を奏する。

(発明の効果)

以上のように、この発明によれば、電源配線部の金属配線の厚さを他の回路部の金属配線の厚さよりも厚くすることにより、電源配線部の寄生抵抗を低減したので、チップサイズは小さく、ノイズによる誤動作の起こりにくい半導体装置を得ることができる。

4. 図面の簡単な説明

第1図はこの発明の一実施例を示す半導体メモリ装置の断面図、第2図(a)～(d)は、第1図に示す構造を得るための製造工程を示す半導体メモリ装置の断面図、第3図は従来例の半導体メモリ装置の

チップの概略を示す平面図、第4図はノイズ不良の発生メカニズムを説明する反転回路とGND配線を示す回路図、第5図は第4図の各部の波形を示すタイミングチャートである。

図において(2)はメモリセルアレイ、(5)はVcc配線、(6)はGND配線、(11)は基板、(12)は層間膜、(13)は金属配線材料、(14)は1回目レジスト、(15)は2回目レジストである。

なお、図中、同一符号は同一、又は相当部分を示す。

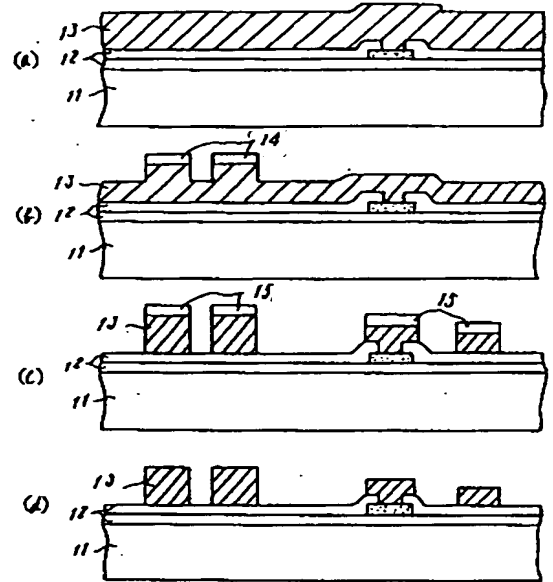
代理人 大 岩 増 雄

第1図



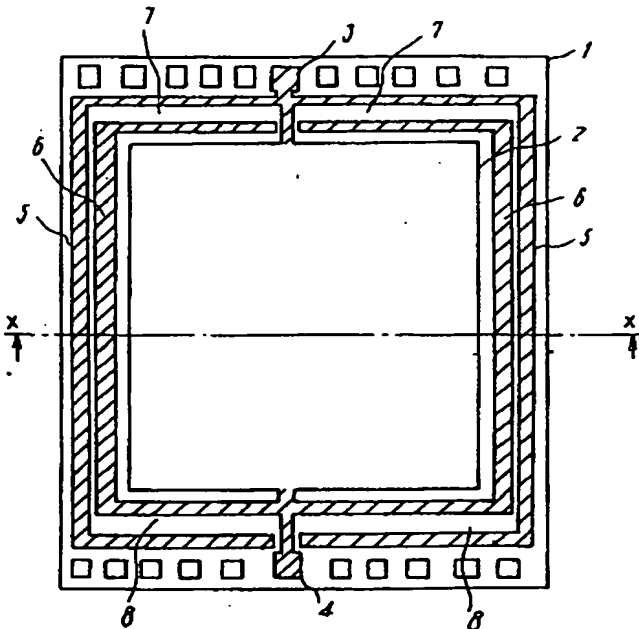
5: Vcc 配線
6: GND 配線

第2図



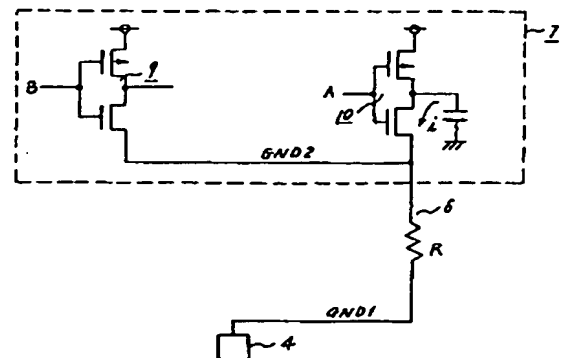
11: 基 板
12: 層 間 膜
13: 金属配線材料
14: 1回目レジスト
15: 2回目レジスト

第3図



1: ICチップ
3: Vccパッド
4: GNDパッド
7: Vcc側周辺回路各
8: GND側周辺回路各

第4図



第5図

